

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007340

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
G02F 1/1343  
G02F 1/1365

(21)Application number : 11-179214

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.06.1999

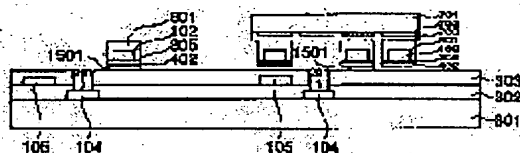
(72)Inventor : AKIYAMA MASAHIKO

## (54) ACTIVE MATRIX SUBSTRATE AND ITS MANUFACTURE AS WELL AS ELEMENT FORMATION SUBSTRATE AND INTERMEDIATE TRANSFER SUBSTRATE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture an active matrix substrate at low costs and with high accuracy by a method wherein an element is formed on an element formation substrate, an interconnection is formed on a transfer destination substrate, the element is transferred to the transfer destination substrate and the interconnection is connected.

**SOLUTION:** An etching stop layer 402 an undercoat layer 305 and TFTs 102 are formed on an element formation substrate 401. Protective films 601 are formed on the respective TFTs 102. A transfer destination substrate 301 is coated with a conductive paste by screen printing, a pattern is formed so as to be annealed, and scanning lines 105 are formed. In addition an interlayer insulating film 302 and a flattened film 303 are coated with a photoresist so as to be exposed and developed, a mask is manufactured so as to be etched, and contact parts 201 are formed on signal lines 104 and the scanning lines 105. Then, TFTs on an intermediate transfer substrate 701 are transferred to the transfer destination substrate 301. Then, connecting electrodes or the like which are used to connect the signal lines 104 to the FETs 102 are formed. At the same time, also a pixel electrode is formed.



## LEGAL STATUS

[Date of request for examination]

10.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3447619

[Date of registration]

04.07.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7340

(P2001-7340A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L	29/786	H 0 1 L	29/78
	21/336		6 2 7 D
G 0 2 F	1/1343	G 0 2 F	1/1343
	1/1365		1/136
			5 0 0
			2 H 0 9 2
			5 F 1 1 0

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平11-179214

(22) 出願日 平成11年6月25日 (1999.6.25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 秋山 政彦

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術センター内

(74) 代理人 100083161

弁理士 外川 英明

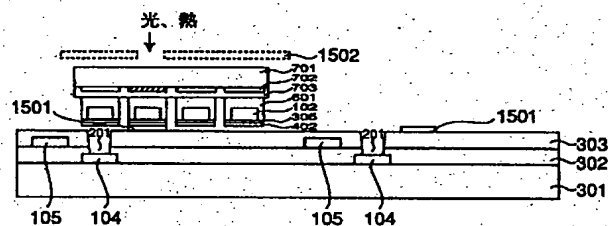
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及びその製造方法、素子形成基板、中間転写基板

(57) 【要約】

【課題】 大型基板や、ガラス以外の異なる材料を用いた基板にも、ローコストで高精度なアクティブマトリクス基板の作製を可能にする。

【解決手段】 素子形成基板401上に素子102を形成する工程と、転写先基板301上に配線を形成する工程と、素子102を転写先基板301上に転写する転写工程と、転写先基板301上に転写された素子102と配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。



## 【特許請求の範囲】

【請求項 1】 素子形成基板上に素子を形成する工程と、転写先基板上に配線を形成する工程と、前記素子を前記転写先基板上に転写する転写工程と、前記転写先基板上に転写された前記素子と前記配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】 前記転写工程が、前記素子形成基板上に形成された前記素子を中間転写基板に接着する工程と、前記素子形成基板をエッチング除去する工程と、前記中間転写基板に接着された前記素子を前記転写先基板上に転写する工程とを具備する事を特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 3】 前記転写工程が、中間転写基板に接着層を形成する工程と、前記素子形成基板上に形成された前記素子を前記接着層に転写する工程と、前記接着層に熱を加え前記素子を前記中間転写基板から前記転写先基板上に転写する工程とを具備する事を特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 4】 前記素子形成基板上に形成される前記素子の間隔と前記転写先基板上に転写された前記素子の間隔が異なる事を特徴とする請求項 1、2 または 3 記載のアクティブマトリクス基板の製造方法。

【請求項 5】 前記素子形成基板上の一定規則の位置の前記素子を同時に転写する事を特徴とする請求項 1、2 または 3 記載のアクティブマトリクス基板の製造方法。

【請求項 6】 前記素子を形成する工程が、前記素子形成基板上にアンダー層を形成する工程と、前記アンダー層上に前記素子を形成する工程と、前記素子上に保護膜を形成する工程とを具備し、前記素子は前記アンダー層と前記保護膜によって覆われる事を特徴とする請求項 1、2、3、4 または 5 記載のアクティブマトリクス基板の製造方法。

【請求項 7】 素子形成基板上にアンダー層を形成する工程と、前記アンダー層上に素子と配線を形成する工程と、前記素子と前記配線を転写先基板上に転写する転写工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。

【請求項 8】 基板と、素子毎に分離され前記基板上に設けられる接着層と、前記接着層上に設けられるアンダーコート層と、前記アンダーコート層上に設けられる前記素子とを具備する事を特徴とするアクティブマトリクス基板。

【請求項 9】 基板と、前記基板上に設けられるアンダーコート層と、前記アンダーコート層上の全面に等しい高さで設けられ電氣的に各々独立な素子とを具備する事を特徴とする素子形成基板。

【請求項 10】 基板と、前記基板上に設けられ熱を加える事により剥離する剥離層と、前記剥離層上に等しい高さで設けられ電氣的に各々独立な素子とを具備する事

を特徴とする中間転写基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクス基板及びその製造方法、素子形成基板、中間転写基板に関する。

## 【0002】

【従来の技術】液晶ディスプレイ (LCD) は、薄型で低消費電力でありカラー表示も可能である為、ノート型パソコン等に広く用いられており、その表示品位は電子情報のみならず、テレビ放送等の表示にも適用できるものである。例えば、アクティブマトリクス型 LCD は、ガラス基板上に、アモルファスシリコンや多結晶シリコンを活性層とした薄膜トランジスタ (TFT) をマトリクス状に形成し、対向ガラス基板と 5  $\mu$ m 程度のギャップを設けて固定し、その間に液晶を注入して、高画質なフルカラー表示の得られるフラットパネルディスプレイとして利用されている。図 35 に、従来のアクティブマトリクス型 LCD の画素部の断面図を示す。ガラス基板 3501 上に走査線 3502、補助容量線 3503 が形成され、その上にゲート絶縁膜 3504 が形成される。その上に画素電極 3505 が形成される。TFT 部 3506 には半導体層 3507、チャネル保護絶縁膜 3508、チャネル保護絶縁膜 3508 上で絶縁されているドープされた半導体層 3509 が積層されている。ドープされた半導体層 3509 上にソース電極 3510 とドレイン電極 3511 が設けられている。ソース電極 3510 は信号線 (図示せず) と接続し、ドレイン電極 3511 は画素電極 3505 と接続する。これら TFT 部 3506 の上に保護絶縁膜 3512 が形成されている。

【0003】近年、これらの LCD は広視野角化技術の発展で、LCD に特有の視野角依存性の問題も解決しつつあり、さらに TFT アレイはガラス基板上に形成できる為、対角 10 インチ～25 インチ程度の比較的大きなディスプレイが実現出来る。しかし、ハイビジョンテレビ (HDTV) で期待される、対角 40 インチ～60 インチ程度といった大画面の TFT アレイの実用化は、約 1 メートル四方以上の超大型ガラス基板を使用できる製造ラインを構築するのにコストがかかる等の問題が残っている。これに対して、複数の TFT アレイ基板を接合して大型化する方法が、例えば特開平 10-268332 号等で知られている。しかし、接合部の精度が悪い為に接合部の開口率が低下する、5  $\mu$ m 程度の厚さの液晶層からすると接合部の高さ制御が十分でない為に歩留まりが悪い、等の問題があった。他方、LCD の特長である低消費電力をさらに生かして、いつでもどこでも電子情報を見る事が出来るモバイル情報機器も広く用いられるようになっており、今後、記録媒体へ印刷したものと同程度度の、150～300 画素/インチ (pixel / inch : ppi) 程度といった超高精細の表示が期

待されている。

【0004】これらモバイル情報機器は、低消費電力と共に軽量化が重要である。A4の大きさで、0.7mm厚程度のガラス基板を用いて液晶セルを形成すると、基板のみで220g程度、セルを固定するベゼル等を含めると400g程度以上になる。重量は、基板をプラスチック基板とする事で1/2程度となり、フィルム基板などを用いる事でさらに軽量になり、モバイル情報機器への適用が可能となる。そこで、プラスチック基板、フィルム基板上へのTFT作製の試みがなされている。しかしこれらの基板へのTFT作製は、プロセス温度を低温化する事が必要であり、プロセス温度の低温化の為にTFT性能が劣化して、画質、画素数等に制限が出る事が考えられる。さらにこれらの基板は熱膨張係数が大きく、塑性変形する温度も低い為に、高精細化が不可能である事も予想され、問題となっている。

【0005】

【発明が解決しようとする課題】上に述べたように、対角約40インチ～60インチといった大画面のTFTアレイの実用化は、製造ラインを構築するのにコストがかかる等の問題があった。また、基板の厚さを変えたり、ガラス基板以外の異なる材料を用いた基板に、素子を形成する事も、プロセス温度や、基板の塑性変形などで問題があった。

【0006】

【課題を解決するための手段】そこで本発明の第1は、素子形成基板上に素子を形成する工程と、転写先基板上に配線を形成する工程と、素子を転写先基板上に転写する転写工程と、転写先基板上に転写された素子と配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法を提供する。転写工程は、素子形成基板上に形成された素子を中間転写基板に接着する工程と、素子形成基板をエッチング除去する工程と、中間転写基板に接着された素子を転写先基板上に転写する工程とを具備しても良い。また転写工程は、素子形成基板上に形成された素子を中間転写基板に接着する工程と、レーザーを照射して素子形成基板から素子を剥離する工程と、中間転写基板に接着された素子を転写先基板上に転写する工程とを具備しても良い。転写工程は、中間転写基板に接着層を形成する工程と、素子形成基板上に形成された素子を接着層に転写する工程と、接着層に熱を加え素子を中間転写基板から転写先基板上に転写する工程とを具備しても良い。また転写工程は、中間転写基板に接着層を形成する工程と、素子形成基板上に形成された素子を加熱した接着層に転写する工程と、接着層に紫外線を照射して素子を中間転写基板から転写先基板上に転写する工程とを具備しても良い。

【0007】素子形成基板上に形成される素子の間隔と転写先基板上に転写された素子の間隔は異なっても良い。また、素子形成基板上の一定規則の位置の素子を同

時に転写しても良い。さらに、素子を形成する工程が、素子形成基板上にアンダー層を形成する工程と、アンダー層上に素子を形成する工程と、素子上に保護膜を形成する工程とを具備し、素子はアンダー層と保護膜によって覆われても良い。本発明の第2は、素子形成基板上にアンダー層を形成する工程と、アンダー層上に素子と配線を形成する工程と、素子と配線を転写先基板上に転写する転写工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法を提供する。本発明の第3は、基板と、素子毎に分離され基板上に設けられる接着層と、接着層上に設けられるアンダーコート層と、アンダーコート層上に設けられる素子とを具備する事を特徴とするアクティブマトリクス基板を提供する。本発明の第4は、基板と、基板上に設けられるアンダーコート層と、アンダーコート層上の全面に等しい高さで設けられ電気的に各々独立な素子とを具備する事を特徴とする素子形成基板を提供する。本発明の第5は、基板と、基板上に設けられ熱を加える事により剥離する剥離層と、剥離層上に等しい高さで設けられ電気的に各々独立な素子とを具備する事を特徴とする中間転写基板を提供する。

【0008】

【発明の実施の形態】以下に、本発明の実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。まず、本発明の第1の実施形態について説明する。本実施形態は、アモルファスシリコンTFT（以下TFTとする）を素子形成基板で形成し、中間転写基板に転写した後、さらに配線などを形成した転写先基板上に転写してアクティブマトリクス基板とし、液晶表示装置を作製する。本実施形態のアクティブマトリクス基板101全体の平面図を図1に、図1の1つのTFT部分の拡大図を図2に、図2のa-a'間の断面図を図3に示し、この3図を用いて本実施形態のアクティブマトリクス基板101の構成を説明する。図1では図2に示すTFTの詳細は、省略している。図1に示すように、本実施形態のアクティブマトリクス基板101の各画素にはTFT102と画素電極103が設けられ、アレイ状に形成されている。TFT102はそれぞれ、画素電極103、信号線104、走査線105と接続している。各画素は図3に示すように、ガラスから成る転写先基板301上に走査線105が形成され、層間絶縁膜302、信号線104、平坦化膜303が積層される。その上に、TFT102として接着層304、アンダーコート層305、ゲート電極306、ゲート絶縁膜307、半導体層308、チャネル保護絶縁膜309が積層され、その上に、チャネル保護絶縁膜309の上部が除去されたn型半導体層310、n型半導体層310上にソース電極311、ドレイン電極312が設けられている。さらにその上にパッシベーション膜313が形成され、ソース電極311、ドレイン電極312部分にコンタクトホール314が設けられている。また、ドレイン

電極312に接続して画素電極103が平坦化膜305上に設けられている。

【0009】図2に示すように、走査線105、ゲート電極306には各々コンタクト部201が設けられ、接続電極202を通じて走査線105とゲート電極306が接続されている。また、信号線104はコンタクト部201、接続電極203、コンタクトホール314を通じてTFT102のソース電極311に接続している。画素電極103には、図2に示すように、補助容量線204を設けても良い。補助容量線204は画素電極305電圧の保持、及び液晶の誘電異方性による走査線パルスの容量カップリングノイズの信号電圧依存性の低減、等に用いられる。補助容量線は図2のように、信号線104と同じ層に設け信号線104に平行とするほか、走査線105と同じ層に設け走査線105に平行にする、または前段の走査線105を兼ねる等としても良い。補助容量線204は電源（図示せず）に接続し適当な電圧を加えれば良い。まず、図4を用いて素子形成基板401上でのTFT102の製造方法を説明する。ガラスから成る素子形成基板401上には、エッチングストッパー層402が設けられている。このエッチングストッパー層402は、ガラスエッチングのストッパーとして機能し、例えばタンタル酸化膜等の金属酸化膜や窒化膜等で形成する。

【0010】その上に、例えばシリコン酸化膜またはシリコン窒化膜から成るアンダーコート層305を形成する。この上に、MoTa、MoW等から成るゲート電極306を形成し、それを覆うようにプラズマCVD法を用いて、シリコン窒化膜でゲート絶縁膜307を厚さ400nm程度形成する。このゲート絶縁膜307はシリコン窒化膜とシリコン酸化膜との積層で形成しても良い。半導体層308としてアモルファスシリコン層を厚さ50nm程度、チャンネル保護絶縁膜309としてシリコン窒化膜を厚さ100～400nm程度形成した後、裏面露光によりチャンネル保護絶縁膜309をゲート電極306に自己整合させて加工する。次に燐をドーブしたn型半導体310をCVDで成膜する。このn型半導体層310をパターンニングして、チャンネル保護絶縁膜309上のn型半導体層310を除去する。n型半導体層310上にはソース電極311、ドレイン電極312を形成する。さらに、プラズマCVDにより、シリコン窒化膜から成るパッシベーション膜313を成膜し、ソース電極311、ドレイン電極312部分にコンタクトホール314を形成する。アンダーコート層305からパッシベーション膜313までのTFT102の高さは500nm～2μm程度とする。

【0011】次に図5から図9を用いて素子形成基板401から中間転写基板701への転写を説明する。図5から図9では、素子の詳細な構成等は省略している。図5に示すように、素子形成基板401上にエッチングス

トッパー層402、アンダーコート層305、TFT102が形成されている。各TFT102毎には、図6のように保護膜601を設ける。保護膜601としては本実施形態ではゴム系ネガレジストを用いたが、その他、耐熱性を有し、機械的強度のある有機樹脂等でも良い。保護膜601は、図4の点線で示すように、縦横ともTFT102より2～40μm程度大きくなるよう形成し、TFT102全体を覆うようにする。その後、ドライエッチングを行う等して、図7のようにTFT102部分以外のエッチングストッパー層402、アンダーコート層305を除去し、各TFT102毎に分離する。次に、図7に示すように透明なガラスから成る中間転写基板701上に、TFT102毎に対応する位置に光吸収体702を形成し、全体に接着・剥離層703を形成する。光吸収体702としては例えば、MoTa、MoWなどの中間転写基板701側を黒化した金属膜によって形成する。光吸収体702は、熱伝導の良いものが好ましい。接着・剥離層703は熱を受けると粘性が下がり接着力が低下する、アビーゾンプロダクツリミテッド製アビーゾンワックス等の、ワックスやロウ等を用いれば良い。また、日東電工株式会社製リバアルファ等、加熱する事により発泡し、接着力が低下するものを用いても良い。中間転写基板701は、素子形成基板401と熱膨張率が近いものが好ましい。

【0012】この光吸収体702と各TFT102の保護膜601を位置合せし、図8のように接着・剥離層703と保護膜601を接着する。次に、中間転写基板701周縁部の側面をテープ等で保護し、フッ酸と界面活性剤の混合液で中間転写基板701をエッチングする。エッチングは、エッチングストッパー層402で停止するよう、調整する。また、エッチングストッパー層402を設ける代わりに、アモルファスシリコンとシリコン窒化膜の積層等として、その下層にレーザーアブレーションを起こしやすい材料を設け、素子形成基板401を通してレーザー光を当てる事により、TFT102を分離しても良い。レーザーアブレーションしやすい材料としては、水素化アモルファスシリコンや、低温成膜したシリコン窒化膜などガスを含有した絶縁膜、イミド化率が低いポリアミド等でも良い。以上の様にして、図9に示すように中間転写基板701にTFT102を転写する事が出来る。次に、転写先基板301の配線の形成方法を図10から図14を用いて説明する。転写先基板301の材料としては、無アルカリガラス、ソーダライムガラス等のガラス基板、またはプラスチック基板等でも良い。本実施形態では無アルカリガラスのガラス基板を用いる。

【0013】まず、図10に示すように転写先基板301上に、スクリーン印刷で導電ペーストを塗布し、パターン形成して、450～600℃程度でアニールする事により、膜厚1～5μm程度の走査線105を形成す

る。線幅は $30\mu\text{m}$ とする。走査線105の形成方法としては他にも、三井・デュボンポリケミカル(株)製のFodel等の導電性と感光性を有するフィルムを張り付け、フォトマスクを露光してパターンを形成する事により形成しても良いし、蒸着やスパッタにより薄膜を形成し、レジストをマスクにして露光現像を行い、エッチングをする事も可能である。次に、図11に示すように燐を含有したシリコン酸化膜を塗布し、約 $600^{\circ}\text{C}$ で焼成して、これを2層重ねる事により層間絶縁膜302を形成する。この様に添加材を加え、低温でリフローする事により、ピンホールのない層間絶縁膜302を形成する事が出来る。層間絶縁膜302は無機膜のほかにはポリイミドやアクリル樹脂、ベンゾシクロブテン(BCB)等で形成しても良い。層間絶縁膜302上に、図12に示すように信号線104を走査線105と同様な材料、方法で形成し、線幅 $30\mu\text{m}$ 程度、膜厚 $1\sim 3\mu\text{m}$ 程度とする。その上に、図13に示すように平坦化膜303を形成する。平坦化膜303はアクリル系樹脂を $2\sim 20\mu\text{m}$ 程度塗布してアニールで軟化させる事により、表面の凹凸を約 $0.5\mu\text{m}$ 以下とした。さらに平坦化膜303としては、BCBを用いる事も、平坦性を得る上で有効である。また、無機絶縁膜を形成し、研磨しても良い。

【0014】さらに図14のように、層間絶縁膜302、平坦化膜303に、フォトリソを塗布し露光現像してマスクを作製し、エッチングを行う事により信号線104、走査線105上に、コンタクト部201を設ける。これらの配線を形成した転写先基板301に、中間転写基板701上のTFTを転写する。この転写工程を、図15から図18を用いて説明する。図15から図18ではTFT102の詳細な部分等については省略している。まず図15のように、配線を形成した転写先基板301の平坦化膜303上に素子を接着する為の接着層1501をスクリーン印刷などで塗布して形成する。接着層1501はアクリル系樹脂とし、厚さは $0.1\sim 1\mu\text{m}$ 程度とした。接着層1501の上に中間転写基板701を位置合わせし、転写するTFT102と接着層1501を接着する。その後、中間転写基板701を通して転写するTFT102の上部を選択的に光照射して、光吸収体702を加熱する。熱により接着・剥離層703の接着力が低下し、TFT102は中間転写基板701から分離して、転写先基板301に接着される。光照射方法としては、中間転写基板701上の転写しないTFT102に光が当たらない様、適当な遮光マスク1502を設け、全面に光照射を行っても良い。また、接着層1501の下に、台座となる凸部を設けても良い。

【0015】ここでは光吸収体702を用いたが、光吸収体702の代わりにTaなどの抵抗の大きい金属から成る薄膜発熱体を用いて、電圧をかける事により発熱さ

せても良い。この場合は、それぞれの薄膜発熱体は、マトリクス制御するなどして転写したいTFT102を選択的に発熱させ用いても良い。また、熱で接着性が低下する接着・剥離層703の代わりに、熱で接着し、紫外線で接着性が低下する物質、例えば紫外線で分解しやすいベンゾフェロン等を含む、アクリル系粘着剤などを用いても良い。その際には、転写したいTFT102に選択的に紫外線を照射しても良いし、TFT102の大きさの部分開口を設けたマスクパターンを形成し、紫外線を照射しても良い。図16のようにTFT102の転写を繰り返し、TFT102を所定の位置に接着する。また、熱工程や、紫外線照射などによりこの接着をより強固にする工程を設けても良い。次に図17に示すように、保護膜601をレジスト剥離液を用いて除去する。保護膜601はTFT102を全て転写した後に除去しても、1回の転写の度に除去する事を反復しても良い。その後、転写先基板301全面にITOから成る膜をスパッタで成膜した後、フォトリソを塗布してパターンニングする事により、図18のように信号線104とTFT102を接続する為の接続電極203等を形成する。同時に画素電極103も形成する。以上により、図1に示すような、液晶表示装置に用いるアクティブマトリクス基板101を完成する。

【0016】本実施形態では、中間転写基板701と、転写先基板301のTFT102の素子形成密度が異なる。この様に、転写元基板と転写先基板の素子形成密度が異なる場合のTFT102の転写方法について、図19から図23を用いてさらに説明する。図19から図23ではTFT102の構成などの詳細は省略してある。まず、TFT102を素子形成基板401上で形成する。その際、転写先基板301上でのTFT102の密度とは異なる密度でTFT102を形成し、TFT102の縦方向、横方向とも転写先基板301でのTFT102密度の整数倍の密度で形成すると、生産性が高くなり好ましい。本実施形態では、TFT102の縦、横方向とも転写先基板301での2倍の密度でTFT102を形成する例を説明する。このTFT102を図19のように中間転写基板701に転写する。また、転写先基板301は、信号線104、走査線105等を形成する。次に、図20の様に、1回目の転写では転写先基板301上のTFT102の4個分の領域にTFT102が転写される。中間転写基板701は、転写先基板301の4倍の密度にTFT102が形成されている為、中間転写基板701上の1つ飛びのTFT102が選択的に転写される。

【0017】1回目の転写の後、図21、図22、図23のように、中間転写基板701をずらし、1つ飛びずつ転写する事を繰り返す。これにより、対角5.2インチのHDTVを作製する場合は、画素ピッチが横方向が $200\mu\text{m}$ 程度、縦方向が $600\mu\text{m}$ 程度である為、素子

形成基板401に各TFT102を $100\mu\text{m}\times 100\mu\text{m}$ 程度以下に形成すれば、素子形成基板401の大きさは、転写先基板301の12分の1で良い。また、素子形成基板401を $650\text{mm}\times 650\text{mm}$ 程度のものを用いれば、対角52インチのHDTV用の4枚分のTFT102が得られる。このようにして得られたアクティブマトリクス基板101に、図24に示すように、カラーフィルタ2401、対向電極2402を設けた対向ガラス基板2403を組み合わせて、 $2\mu\text{m}\sim 6\mu\text{m}$ 程度の適当なセルギャップを設けて固定し、間に液晶層2404を注入する事で、液晶表示装置を得る事が出来た。この液晶表示装置は、16個のTFT102を1つ飛びに転写し、4回の位置合わせで転写出来るので生産性が高い。同時に複数のTFT102を転写し、少ない転写回数で全てのTFT102を転写できるので、生産性向上と共に、均一性の確保、歩留まり向上等の効果もある。また、素子形成基板401上でのTFT102形成は既存の製造ラインが使用できる為に、投資コストの低減も可能となる。さらに、配線、層間ショートなども適宜必要に応じて、リペアを行う事が出来る為、生産性が高い。TFT102の不良についても容易に対応できる。例えば、素子形成基板401上のTFT102の不良をアレイテスタ等で測定し、不良なTFTを転写せずに、後に転写しなかった部分に良品のTFTを転写すれば良い。

【0018】また、TFT102は各TFT102毎に分離されたアンダーコート層305上に設けられている為、TFT102の下層膜に歪みを与える事無く、信頼性が向上する。歪緩和は、TFT素子特性を変化させる事を抑えるばかりでなく、はがれ不良などの転写時の接着信頼性の向上に効果がある。さらに本実施形態では、ゲート絶縁膜307の膜厚が数百nm程度、寸法精度が数 $\mu\text{m}$ 程度といったTFTを高精度の製造ラインで製造し、パターン精度が $30\mu\text{m}$ 程度といった、要求精度の緩い配線を大型基板に形成したものと組み合わせる事が可能となり、大画面のディスプレイが低いコストで実現可能となる。なお、転写する素子の単位としては、1つのTFT102だけでなく、複数のトランジスタで構成される回路とする事も可能である。選択用のトランジスタと、その出力で制御される駆動用のトランジスタを転写により形成し、液晶やELの駆動装置としても適用する事もできる。次に本発明の第2の実施形態について説明する。本実施形態では、素子単独でなく、配線、画素電極等の構成を全体的に形成し、複数回転写する事によって1枚のアクティブマトリクス基板101を形成する。本実施形態のアクティブマトリクス基板101の形成方法を図25から図3.0を用いて示す。図25から図3.0では、TFT102の構成等は省略している。

【0019】図25に示すように、ガラスなどの素子形成基板401上に、エッチングストッパー層402、ア

ンダーコート層305を積層し、TFT102、信号線104、走査線105、画素電極103等を形成する。本実施形態においては、各層は第1の実施形態と同様に形成する。次に、素子や配線を形成した素子領域2501を全て覆うように保護膜601を形成し、保護膜601と同じ大きさにエッチングストッパー層402、アンダーコート層305をエッチングする。保護膜601は露光現像による加工により、 $1\sim 20\mu\text{m}$ 程度の端部の精度が得られた。次に、図26に示すように第1の実施形態と同様な接着・剥離層703の形成された中間転写基板701に、素子形成基板401の保護膜601を接着する。その後、図27のように素子形成基板401をエッチング除去する。図28のように接着層1501を設けた転写先基板301に素子形成領域2501を位置合わせし、中間転写基板701を通して接着・剥離層703を加熱し、接着力を弱め、転写する。図29のように1回目の転写後に保護膜601をレジスト剥離液を用いて除去しても良いし、2回目の転写が終り、全ての素子、配線等を転写してから除去しても良い。このようにして、図30のようなアクティブマトリクス基板101が完成する。

【0020】本実施形態の様に、素子や配線等を形成したものを2枚転写して、1つの大きなアクティブマトリクス基板101を形成するには、境界の接合精度が問題となる。図31は素子や配線を形成した2枚の素子形成基板401を元に転写先基板301を形成した図であり、図32は図31のb-b'の断面図である。図31、図32では、TFT102の構成等は省略している。本実施形態で図31の様な素子形成基板401から転写先基板301を形成したところ、図32に示すように同じ素子形成基板401内の信号線104と画素電極103の間隔 $Lg1$ と、素子形成基板401の突き合わせ部の信号線104と画素電極103の間隔 $Lg2$ はどちらも等しく $8\sim 15\mu\text{m}$ 程度と出来る。これはHDTVのような高精細画素にも適用でき、大画面で、画素開口率の高く明るい表示を得る事が出来る。この構造では、従来のような、1枚の基板から形成したアクティブマトリクス基板と同様に、画素や信号線の配置が出来る為に、カップリングによる画素電圧変動がアクティブマトリクス基板101の突き合わせ部で発生せずに、良好な画質が得られる。また、図33は図31と同様であるが、素子形成基板401の突き合わせ部のマージンを広げる為に突き合わせ部を中心とした線対称としている。図34は図33のc-c'の断面図である。図33、図34ではTFT102の構成等は省略している。この場合、素子形成基板401内の画素電極103間の間隔、 $Lp1$ と、素子形成基板401の突き合わせ部の画素電極103間の間隔、 $Lp2$ が、等しければ良く、信号線104の幅を $30\mu\text{m}$ 程度、画素電極103と信号線104間の間隔を $5\mu\text{m}$ 程度とすると $Lp1=Lp2=4$



0  $\mu$ m 程度とすれば良く、作製が容易となる。

【0021】なお、アクティブマトリクス基板 101 の突き合わせ部には配線が無い為に、配線と画素電極 103 の間の容量カップリングが通常とは異なる。よって、必要に応じて信号を補償すれば良い。本実施形態では、大型のアクティブマトリクス基板 101 を作製する際に、2 枚の基板を接合する必要が無い為に、2 枚の基板の突き合わせ部で厚みが大きくなる、2 枚の基板で素子や配線を形成した領域の高さが異なり対向基板と接触する、等の問題が避けられる。また、本実施形態では転写先基板 301 としてガラス基板を用いたが、プラスチック基板、樹脂フィルム、セラミックス基板、金属薄板基板、等を用いる事も出来る。従来、プラスチック基板や樹脂フィルムなどでは、熱変形や熱膨張率の大きさから、高精細な画素を精密に作製する事が困難であった。しかし本発明の方式では、素子形成基板 401 の精度は従来のガラス基板の精度と同様なものと出来、それを転写すれば良い為、200 ppi といった高精細画像をプラスチック基板や樹脂フィルムなどに形成する事が可能となる。

#### 【0022】

【発明の効果】上記のように本発明によれば、大型基板や、ガラス以外の異なる材料を用いた基板にも、ローコストで高精度なアクティブマトリクス基板を作製する事が出来る。

#### 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態のアクティブマトリクス基板の平面図。

【図 2】 図 1 の T F T 部分の拡大図。

【図 3】 図 2 の a - a' 間の断面図。

【図 4】 素子形成基板上の T F T 部分の拡大図。

【図 5】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 6】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 7】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 8】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 9】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 10】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 11】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 12】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 13】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 14】 本発明の第 1 の実施形態のアクティブマト

リクス基板の製造方法の 1 工程を示す断面図。

【図 15】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 16】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 17】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 18】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 19】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す図。

【図 20】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す図。

【図 21】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す図。

【図 22】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す図。

【図 23】 本発明の第 1 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す図。

【図 24】 本発明の第 1 の実施形態のアクティブマトリクス基板を用いた液晶表示装置の断面図。

【図 25】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 26】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 27】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 28】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 29】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 30】 本発明の第 2 の実施形態のアクティブマトリクス基板の製造方法の 1 工程を示す断面図。

【図 31】 2 枚の素子形成基板からアクティブマトリクス基板を形成する場合の平面図。

【図 32】 図 31 の b - b' 間の断面図。

【図 33】 2 枚の素子形成基板からアクティブマトリクス基板を形成する場合の平面図。

【図 34】 図 33 の c - c' 間の断面図。

【図 35】 従来のアクティブマトリクス型 LCD の画素部の断面図。

#### 【符号の説明】

101…アクティブマトリクス基板

102…T F T

103…画素電極

104…信号線

105…走査線

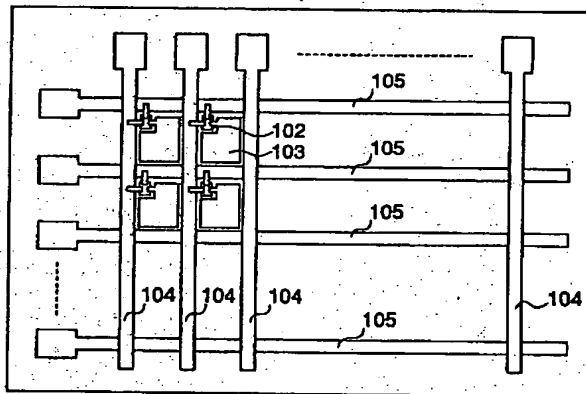
201…コンタクト部

202、203…接続電極

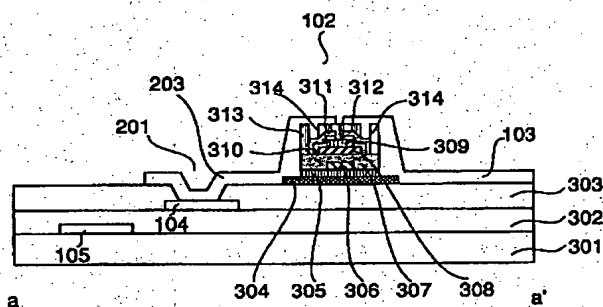
301…転写先基板

302…層間絶縁膜  
 303…平坦化膜  
 304…接着層  
 305…アンダーコート層  
 306…ゲート電極  
 307…ゲート絶縁膜  
 308…半導体層  
 309…チャネル保護絶縁膜  
 310…n型半導体層  
 311…ソース電極  
 312…ドレイン電極  
 313…パッシベーション膜  
 314…コンタクトホール  
 401…素子形成基板  
 402…エッチングストッパー層  
 601…保護膜  
 701…中間転写基板  
 702…光吸収体  
 703…接着・剥離層

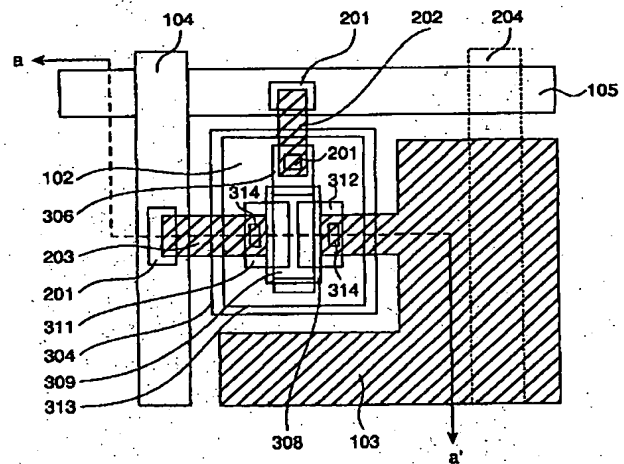
【図1】



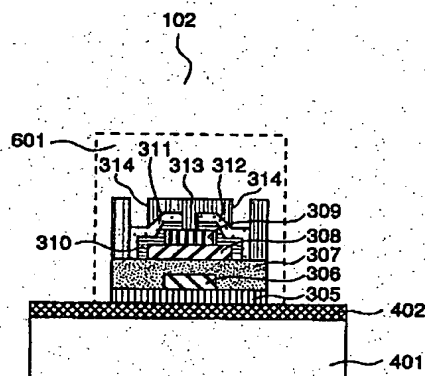
【図3】



【図2】

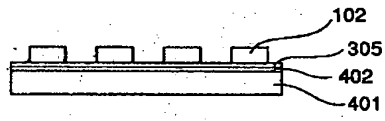


【図4】



\* 1501…接着層  
 1502…遮光マスク  
 2401…カラーフィルタ  
 2402…対向電極  
 2403…対向ガラス基板  
 2404…液晶  
 2501…素子形成領域  
 3501…ガラス基板  
 3502…走査線  
 3503…補助容量線  
 3504…ゲート絶縁膜  
 3505…画素電極  
 3506…TFT部  
 3507…半導体層  
 3508…チャネル保護絶縁膜  
 3509…ドーパされた半導体層  
 3510…ソース電極  
 3511…ドレイン電極  
 \* 3512…保護絶縁膜

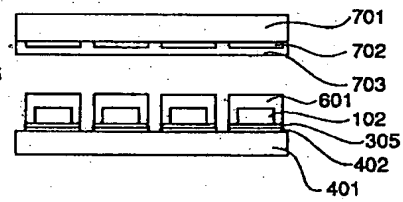
【図 5】



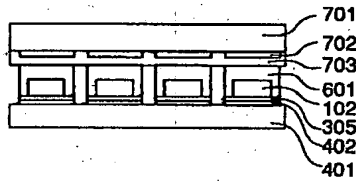
【図 6】



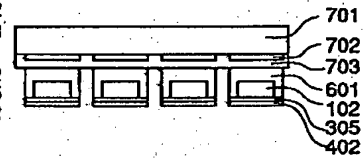
【図 7】



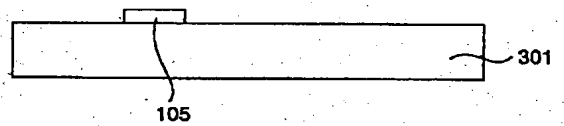
【図 8】



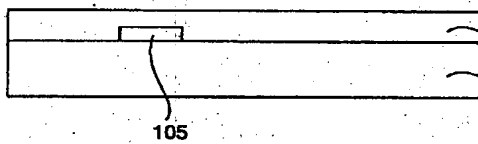
【図 9】



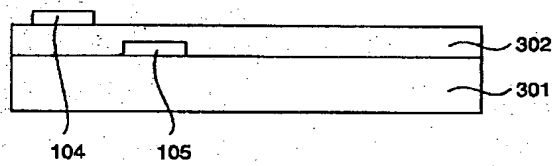
【図 10】



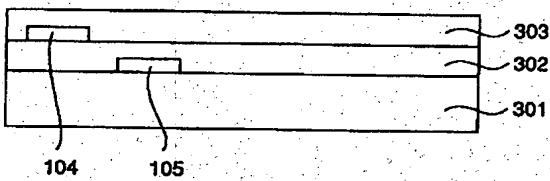
【図 11】



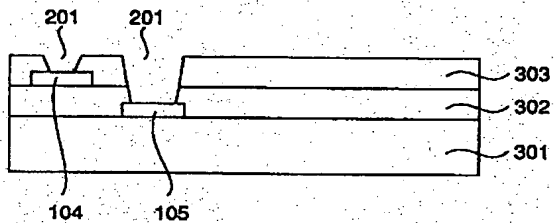
【図 12】



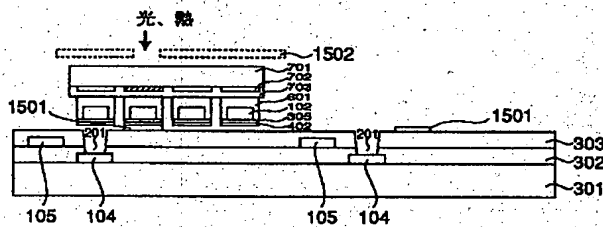
【図 13】



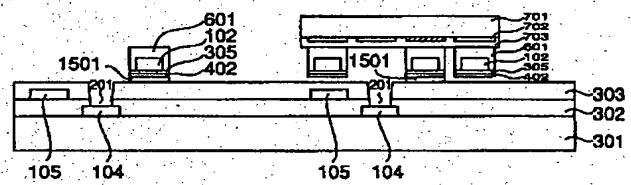
【図 14】



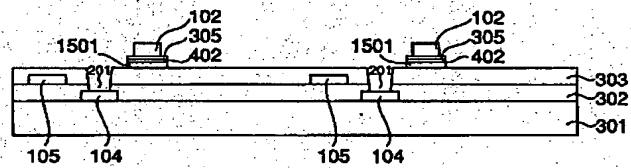
【図 15】



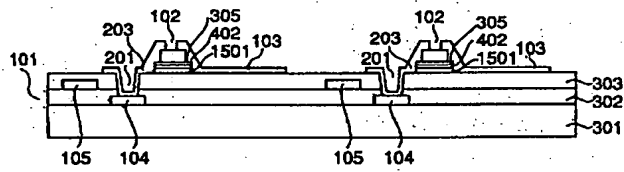
【図 16】



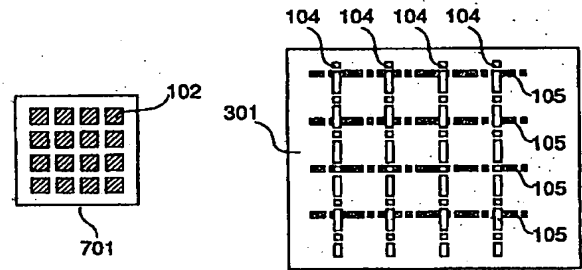
【図 17】



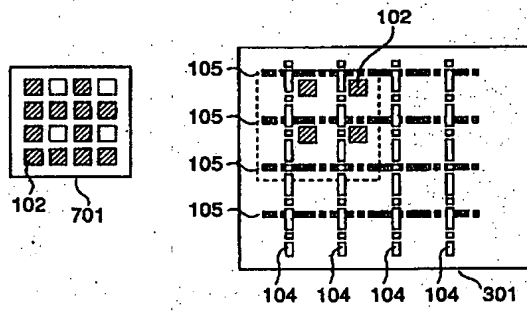
【図18】



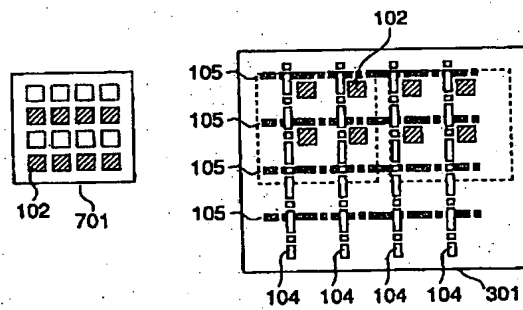
【図19】



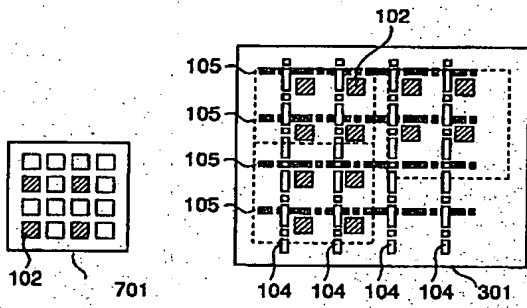
【図20】



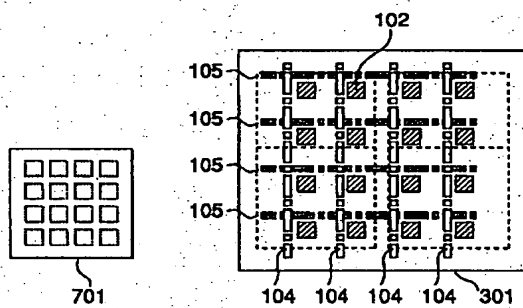
【図21】



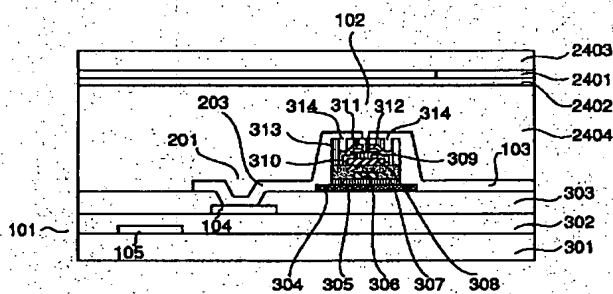
【図22】



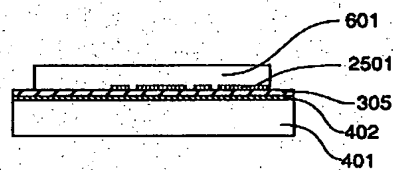
【図23】



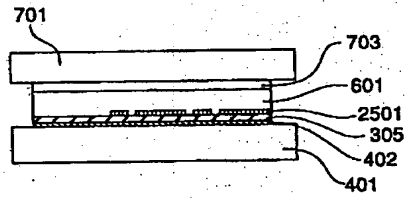
【図24】



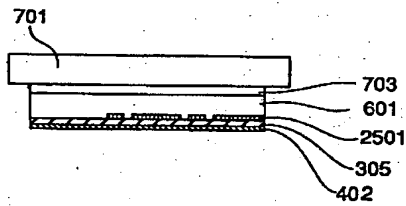
【図25】



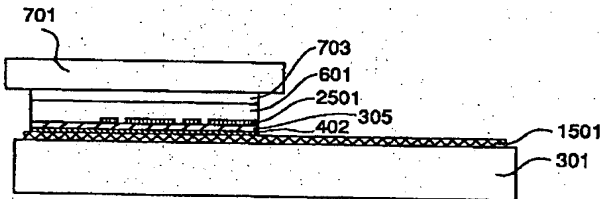
【図 26】



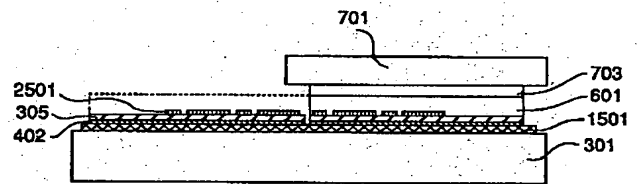
【図 27】



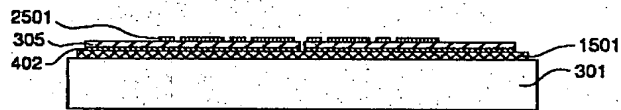
【図 28】



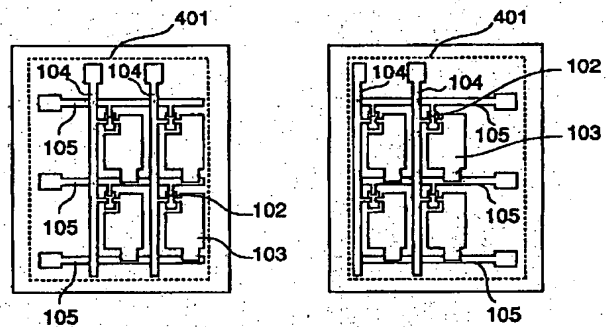
【図 29】



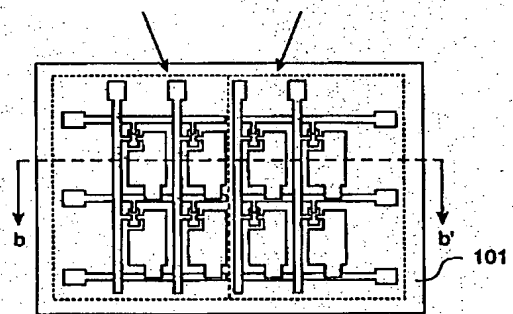
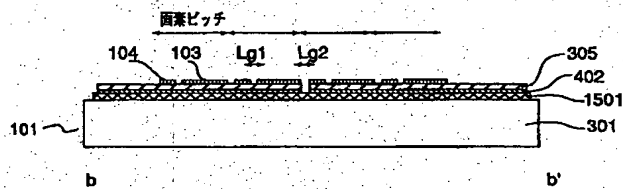
【図 30】



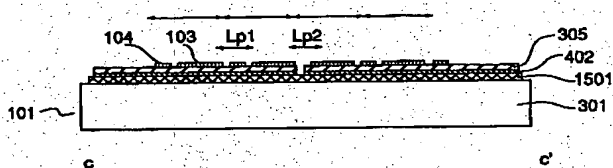
【図 31】



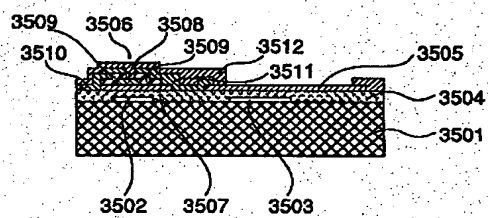
【図 32】



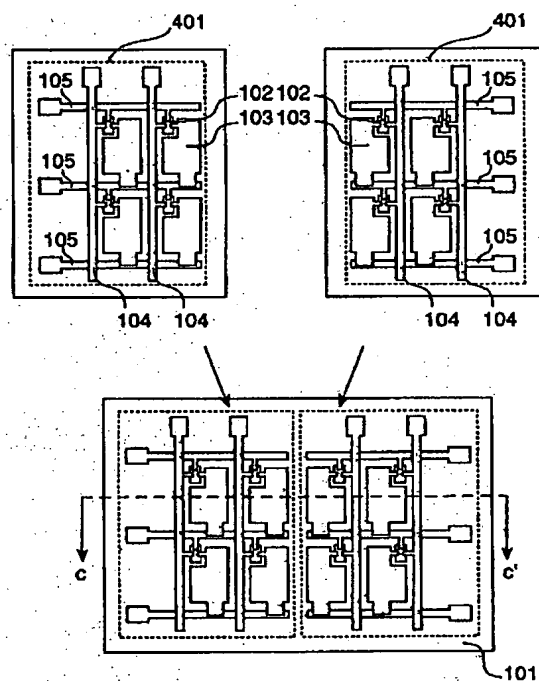
【図 34】



【図 35】



【図 33】



フロントページの続き

F ターム(参考) 2H092 GA20 GA24 GA28 HA28 JA21  
 JA26 JA41 JB04 JB22 JB31  
 JB41 JB57 JB58 KA05 KA12  
 KB25 MA01 MA05 MA08 MA13  
 MA18 MA31 MA37 MA42 MA43  
 NA27 PA01 PA09  
 5F110 AA16 BB01 CC07 DD01 DD02  
 DD12 DD13 DD14 DD17 DD30  
 EE06 FF02 FF03 FF09 FF30  
 GG02 GG15 GG25 HK08 HK21  
 HK34 NN02 NN03 NN04 NN12  
 NN14 NN24 NN27 NN35 QQ12  
 QQ16 QQ17 QQ19

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 14 年 8 月 30 日 (2002. 8. 30)

【公開番号】特開 2001-7340 (P2001-7340A)

【公開日】平成 13 年 1 月 12 日 (2001. 1. 12)

【年通号数】公開特許公報 13-74

【出願番号】特願平 11-179214

【国際特許分類第 7 版】

H01L 29/786

21/336

G02F 1/1343

1/1365

【F I】

H01L 29/78 627 D

G02F 1/1343

1/136 500

【手続補正書】

【提出日】平成 14 年 6 月 10 日 (2002. 6. 10)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリクス基板及びその製造方法、中間転写基板

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】素子形成基板上に素子を形成する工程と、  
転写先基板上に配線を形成する工程と、  
前記素子形成基板上に形成された前記素子を中間転写基板上に接着する工程と、  
前記素子を前記中間転写基板上に接着した後に前記素子形成基板を除去する工程と、  
前記素子形成基板を除去した後に前記中間転写基板上に接着された前記素子を前記配線が形成された前記転写先基板面とは高さ異なるよう前記転写先基板上に設けられた接着層上に選択的に転写する工程と、  
前記転写先基板上に転写された前記素子と前記配線とを接続する工程と  
を具備する事を特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】前記接着層が、前記転写先基板上に設けられた凸部上に設けられることを特徴とする請求項 1 記載

のアクティブマトリクス基板の製造方法。

【請求項 3】前記素子形成基板上に形成される前記素子の間隔と前記転写先基板上に転写された前記素子の間隔とが異なることを特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 4】前記素子を形成する工程が、前記素子形成基板上にエッチングストッパー層を形成する工程と、前記エッチングストッパー層上にシリコン酸化膜またはシリコン窒化膜からなるアンダーコート層を形成する工程と、前記アンダーコート層上に前記素子を形成する工程と、前記素子上に保護膜を形成する工程とを具備し、前記素子は前記アンダーコート層と前記保護膜とによって覆われることを特徴とする請求項 1 記載のアクティブマトリクス基板の製造方法。

【請求項 5】素子形成基板上に素子を形成する工程と、  
転写先基板上に配線を形成する工程と、  
中間転写基板上に接着・剥離層を形成する工程と、  
前記素子を前記接着・剥離層に接着する工程と、  
前記素子を前記接着・剥離層に接着した後に前記素子形成基板を除去する工程と、  
前記素子形成基板を除去した後に前記接着・剥離層に接着された前記素子を前記転写先基板上に設けられた接着層上に選択的に接着する工程と、  
前記接着層上に選択的に接着された前記素子に対応する領域の前記接着・剥離層に光を照射して前記中間転写基板を剥離する工程と  
を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 6】前記中間転写基板と前記接着・剥離層との間の前記各素子に対応する位置に光吸収体を形成する工程をさらに具備し、前記接着・剥離層に光を照射する工

程において前記光吸収体に光を照射することを特徴とする請求項 5 記載のアクティブマトリクス基板の製造方法。

【請求項 7】基板と、素子毎に分離され前記基板上に設けられる接着層と、前記接着層上に設けられるエッチングストッパー層と、前記エッチングストッパー層上に設けられシリコン酸化膜またはシリコン窒化膜からなるアンダーコート層と、前記アンダーコート層上に設けられる前記素子とを具備することを特徴とするアクティブマトリクス基板。

【請求項 8】基板と、前記基板上に設けられ熱を加える

ことにより剥離する接着・剥離層と、前記接着・剥離層上に等しい高さで設けられ電氣的に各々独立な素子とを具備することを特徴とする中間転写基板。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス基板及びその製造方法、中間転写基板に関する。



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The manufacture approach of the active-matrix substrate characterized by to provide the process which forms a component on a component formation substrate, the process which forms wiring on an imprint place substrate, the imprint process which imprints said component on said imprint place substrate, and the process which connects said component imprinted on said imprint place substrate and said wiring.

[Claim 2] The manufacture approach of a active-matrix substrate according to claim 1 that said imprint process is characterized by to provide the process which pastes up said component formed on said component formation substrate on a middle imprint substrate, the process which carries out etching removal of said component formation substrate, and the process which imprints said component pasted up on said middle imprint substrate on said imprint place substrate.

[Claim 3] The manufacture approach of a active-matrix substrate according to claim 1 that said imprint process is characterized by providing the process which forms a glue line in a middle imprint substrate, the process which imprints said component formed on said component formation substrate to said glue line, and the process which applies heat to said glue line and imprints said component on said imprint place substrate from said middle imprint substrate.

[Claim 4] The manufacture approach of the active-matrix substrate according to claim 1, 2, or 3 characterized by spacing of said component formed on said component formation substrate differing from spacing of said component imprinted on said imprint place substrate.

[Claim 5] The manufacture approach of the active-matrix substrate according to claim 1, 2, or 3 characterized by imprinting said component of the location of the fixed regulation on said component formation substrate to coincidence.

[Claim 6] It is the manufacture approach of the active-matrix substrate according to claim 1, 2, 3, 4, or 5 which possesses the process at which the process which forms said component forms an undershirt layer on said component formation substrate, the process which forms said component on said undershirt layer, and the process which forms a protective coat on said component, and is characterized by covering said component with said undershirt layer and said protective coat.

[Claim 7] The manufacture approach of the active-matrix substrate characterized by providing the process which forms an undershirt layer on a component formation substrate, the process which forms a component and wiring on said undershirt layer, and the imprint process which imprints said component and said wiring on an imprint place substrate.

[Claim 8] The active-matrix substrate characterized by providing a substrate, the glue line which is separated for every component and prepared on said substrate, the under coat layer prepared on said glue line, and said component prepared on said under coat layer.

[Claim 9] The component formation substrate characterized by being prepared in equal height the whole surface on a substrate, the under coat layer prepared on said substrate, and said under coat layer, and providing an independent component respectively electrically.

[Claim 10] The middle imprint substrate characterized by being prepared in height equal on a substrate, the stratum disjunctum which exfoliates by being prepared on said substrate and applying heat, and said stratum disjunctum, and providing an independent component respectively

electrically.

---

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a active-matrix substrate and its manufacture approach, a component formation substrate, and a middle imprint substrate.

[0002]

[Description of the Prior Art] A liquid crystal display (LCD) is a low power, with the thin shape, since color display is also possible, it is widely used for the notebook sized personal computer etc., and it can apply the display grace not only to electronic intelligence but to the display of television broadcasting etc. For example, on a glass substrate, the active-matrix mold LCD forms the thin film transistor (TFT) which made an amorphous silicon and polycrystalline silicon the barrier layer in the shape of a matrix, prepares an opposite glass substrate and the gap of about 5 micrometers, is fixed, pours in liquid crystal between them, and is used as a flat-panel display with which a high definition full color display is obtained. The sectional view of the picture element part of the conventional active-matrix mold LCD is shown in drawing 35. The scanning line 3502 and the auxiliary capacity line 3503 are formed on a glass substrate 3501, and gate dielectric film 3504 is formed on it. The pixel electrode 3505 is formed on it. The laminating of the doped semi-conductor layer 3509 which is insulated on the semi-conductor layer 3507, the channel protection insulator layer 3508, and the channel protection insulator layer 3508 is carried out to the TFT section 3506. The source electrode 3510 and the drain electrode 3511 are formed on the doped semi-conductor layer 3509. It connects with a signal line (not shown) and the source electrode 3510 connects the drain electrode 3511 with the pixel electrode 3505. The protection insulator layer 3512 is formed on these TFT(s) section 3506.

[0003] In recent years, such LCD is development of a wide-field-of-view cornification technique, the problem of an angle-of-visibility dependency peculiar to LCD is also solved, and further, since a TFT array can be formed on a glass substrate, it can realize the comparatively big display of 10 inches - about 25 inches of vertical angles. However, problems, like cost starts that the utilization of the TFT array of a big screen called 40 inches - about 60 inches of vertical angles expected with high-definition television (HDTV) builds the production line more than about 1 meter around which can overly use a large-sized glass substrate remain. On the other hand, the method of joining and enlarging two or more TFT array substrates is learned for JP,10-268332,A etc.

However, since height control of a joint was not enough, considering the liquid crystal layer of the thickness to which the numerical aperture of a joint falls since the precision of a joint is bad and which is about 5 micrometers, there were problems, like the yield is bad. On the other hand, the mobile information machines and equipment which can see electronic intelligence always anywhere further taking advantage of the low power which is the features of LCD are also used widely, and a display of a super-high definition called 150-300-pixel [/inch ] (pixel/inch:ppi) extent of extent will be expected from now on like what was printed to the record medium.

[0004] Lightweight-izing is important for these mobile information machines and equipment with a low power. If the bezel which fixes about 220g and a cel only with a substrate if a liquid crystal cell is formed in the magnitude of A4 using the glass substrate of 0.7mm thickness extent is included, it will become beyond about 400g. Weight becomes about 1/2 by using a substrate as a plastic

plate, by using a film substrate etc., becomes still more nearly lightweight and becomes applicable to mobile information machines and equipment. Then, the attempt of TFT production to up to a plastic plate and a film substrate is made. However, TFT production to these substrates needs to low-temperature-ize process temperature, and it is possible that the TFT engine performance deteriorates for low-temperature-izing of process temperature, and a limit appears in image quality, the number of pixels, etc. Furthermore, these substrates have a large coefficient of thermal expansion, and since the temperature deformed plastically is also low, it is expected that highly-minute-izing is also impossible and they pose a problem.

[0005]

[Problem(s) to be Solved by the Invention] As stated above, utilization of the TFT array of a big screen called about 40 inches - 60 inches of vertical angles had problems, like cost starts building a production line. Moreover, the thickness of a substrate was changed and forming a component also had a problem in the substrate using the ingredient with which it differs other than a glass substrate by process temperature, the plastic deformation of a substrate, etc.

[0006]

[Means for Solving the Problem] Then, the 1st of this invention offers the manufacture approach of the active-matrix substrate characterized by to provide the process which forms a component on a component formation substrate, the process which forms wiring on an imprint place substrate, the imprint process which imprints a component on an imprint place substrate, and the process which connects wiring with the component imprinted on the imprint place substrate. An imprint process may possess the process which pastes up the component formed on the component formation substrate on a middle imprint substrate, the process which carries out etching removal of the component formation substrate, and the process which imprints the component pasted up on the middle imprint substrate on an imprint place substrate. Moreover, an imprint process may possess the process which pastes up the component formed on the component formation substrate on a middle imprint substrate, the process which irradiates laser and exfoliates a component from a component formation substrate, and the process which imprints the component pasted up on the middle imprint substrate on an imprint place substrate. An imprint process may possess the process which forms a glue line in a middle imprint substrate, the process which imprints the component formed on the component formation substrate to a glue line, and the process which applies heat to a glue line and imprints a component on an imprint place substrate from a middle imprint substrate. Moreover, an imprint process may possess the process which forms a glue line in a middle imprint substrate; the process imprinted to the glue line which heated the component formed on the component formation substrate, and the process which irradiates ultraviolet rays at a glue line and imprints a component on an imprint place substrate from a middle imprint substrate.

[0007] Spacing of the component formed on a component formation substrate may differ from spacing of the component imprinted on the imprint place substrate. Moreover, the component of the location of the fixed regulation on a component formation substrate may be imprinted to coincidence. Furthermore, the process at which the process which forms a component forms an undershirt layer on a component formation substrate, the process which forms a component on an undershirt layer, and the process which forms a protective coat on a component are provided, and a component may be covered with an undershirt layer and a protective coat. The 2nd of this invention offers the manufacture approach of the active-matrix substrate characterized by providing the process which forms an undershirt layer on a component formation substrate, the process which forms a component and wiring on an undershirt layer, and a component and the imprint process which imprints wiring on an imprint place substrate. The active-matrix substrate characterized by providing the glue line which is separated for every 3rd substrate and component of this invention, and is prepared on a substrate, the under coat layer prepared on a glue line, and the component prepared on an under coat layer is offered. The component formation substrate characterized by being prepared in height equal the whole surface on the under coat layer prepared on the 4th substrate and substrate of this invention and an under coat layer, and providing an independent component respectively electrically is offered. The middle imprint substrate characterized by being prepared in height equal on the stratum disjunctum which

exfoliates by being prepared on the 5th substrate and substrate of this invention, and applying heat, and stratum disjunctum, and providing an independent component respectively electrically is offered.

[0008]

[Embodiment of the Invention] Although the operation gestalt of this invention is explained below at a detail, this invention is not limited to these operation gestalten. First, the 1st operation gestalt of this invention is explained. After this operation gestalt forms an amorphous silicon TFT (it considers as Following TFT) with a component formation substrate and imprints it to a middle imprint substrate, it is imprinted to the imprint place substrate which formed wiring etc. further, is used as a active-matrix substrate, and produces a liquid crystal display. The enlarged drawing of one TFT part of drawing 1 is shown in drawing 2, the sectional view between a-a' of drawing 2 is shown for the top view of the active-matrix substrate 101 whole of this operation gestalt in drawing 1 at drawing 3, and the configuration of the active-matrix substrate 101 of this operation gestalt is explained using this 3 Fig. In drawing 1, the detail of TFT shown in drawing 2 is omitted. As shown in drawing 1, TFT102 and the pixel electrode 103 are formed in each pixel of the active-matrix substrate 101 of this operation gestalt, and it is formed in the shape of an array. TFT102 has connected with the pixel electrode 103, a signal line 104, and the scanning line 105, respectively. As each pixel is shown in drawing 3, the scanning line 105 is formed on the imprint place substrate 301 which consists of glass, and the laminating of an interlayer insulation film 302, a signal line 104, and the flattening film 303 is carried out. Moreover, the laminating of a glue line 304, the under coat layer 305, the gate electrode 306, gate dielectric film 307, the semi-conductor layer 308, and the channel protection insulator layer 309 is carried out as TFT102, and the source electrode 311 and the drain electrode 312 are formed on the n-type-semiconductor layer 310 from which the upper part of the channel protection insulator layer 309 was removed on it, and the n-type-semiconductor layer 310. Furthermore, the passivation film 313 is formed on it, and the contact hole 314 is established in source electrode 311 and drain electrode 312 part. Moreover, it connects with the drain electrode 312 and the pixel electrode 103 is formed on the flattening film 305.

[0009] As shown in drawing 2, the contact section 201 is respectively formed in the scanning line 105 and the gate electrode 306, and the gate electrode 306 is connected with the scanning line 105 through the connection electrode 202. Moreover, the signal line 104 is connected to the source electrode 311 of TFT102 through the contact section 201, the connection electrode 203, and a contact hole 314. As shown in the pixel electrode 103 at drawing 2, the auxiliary capacity line 204 may be formed. The auxiliary capacity line 204 is used for reduction of the signal-level dependency of the capacity coupling noise of the scanning-line pulse by maintenance of pixel electrode 305 electrical potential difference, and the dielectric anisotropy of liquid crystal etc. Form an auxiliary capacity line in the same layer as a signal line 104, and it is parallel to a signal line 104, and also [ a line / like drawing 2 ] it is good as preparing in the same layer as the scanning line 105, and making it the scanning line 105 at parallel, or serving as the scanning line 105 of the preceding paragraph etc. It connects with a power source (not shown) and the auxiliary capacity line 204 should just apply a suitable electrical potential difference. First, the manufacture approach of TFT102 on the component formation substrate 401 is explained using drawing 4. The etching stopper layer 402 is formed on the component formation substrate 401 which consists of glass. This etching stopper layer 402 functions as a stopper of glass etching, for example, is formed by metal oxide films, nitrides, etc., such as tantalum acid-ized film.

[0010] Moreover, the under coat layer 305 which consists of silicon oxide or a silicon nitride is formed. Besides, the gate electrode 306 which consists of MoTa, MoW, etc. is formed, and gate dielectric film 307 is formed about 400nm in thickness by the silicon nitride using a plasma-CVD method so that it may be covered. This gate dielectric film 307 may be formed in the laminating of a silicon nitride and silicon oxide. After forming the amorphous silicon layer as a semi-conductor layer 308 and forming a silicon nitride about 100-400nm in thickness as about 50nm in thickness, and a channel protection insulator layer 309, self align of the channel protection insulator layer 309 is carried out to the gate electrode 306 by rear-face exposure, and it is processed. Next, the n-type semiconductor 310 which doped phosphorus is formed by CVD. Patterning of this n-type-

semiconductor layer 310 is carried out, and the n-type-semiconductor layer 310 on the channel protection insulator layer 309 is removed. On the n-type-semiconductor layer 310, the source electrode 311 and the drain electrode 312 are formed. Furthermore, by plasma CVD, the passivation film 313 which consists of a silicon nitride is formed, and a contact hole 314 is formed in source electrode 311 and drain electrode 312 part. The height of TFT102 from the under coat layer 305 to the passivation film 313 is set to 500nm – about 2 micrometers.

[0011] Next, the imprint to the middle imprint substrate 701 from the component formation substrate 401 is explained using drawing 9 from drawing 5. In drawing 9, the detailed configuration of a component etc. is omitted from drawing 5. As shown in drawing 5, the etching stopper layer 402, the under coat layer 305, and TFT102 are formed on the component formation substrate 401. A protective coat 601 is formed like drawing 6 every TFT102. Although rubber system NEGAREJISUTO was used with this operation gestalt as a protective coat 601, the organic resin which has thermal resistance and has a mechanical strength is sufficient. As the dotted line of drawing 4 shows, a protective coat 601 is formed so that every direction may become large about 2–40 micrometers from TFT102, and covers the TFT102 whole. Then, it carries out performing dry etching etc., etching stopper layers 402 other than TFT102 part and the under coat layer 305 are removed like drawing 7, and it dissociates every TFT102. Next, as shown in drawing 7, the light absorption object 702 is formed in the location corresponding to the middle imprint substrate 701 top which consists of transparent glass for every TFT102, and adhesion and stratum disjunctum 703 are formed in the whole. It forms by the metal membrane which carried out melanism for example, of the middle imprint substrates 701 side, such as MoTa and MoW, as a light absorption object 702. The good thing of heat conduction of the light absorption object 702 is desirable. Adhesion and stratum disjunctum 703 should just use waxes, lows, etc. to which viscosity falls and adhesive strength falls, such as the Apiezon wax by the APIZON products Limited, when heat is received. Moreover, it may foam to RIBAARUFA by NITTO DENKO CORP. etc. by heating, and that to which adhesive strength falls may be used. As for the middle imprint substrate 701, what has the near component formation substrate 401 and coefficient of thermal expansion is desirable.

[0012] This light absorption object 702 and each protective coat 601 of TFT102 are aligned, and adhesion and stratum disjunctum 703, and a protective coat 601 are pasted up like drawing 8. Next, the side face of the 701 round edge of middle imprint substrates is protected on a tape etc., and the middle imprint substrate 701 is etched with the mixed liquor of fluoric acid and a surface active agent. Etching is adjusted so that it may stop in the etching stopper layer 402. Moreover, instead of forming the etching stopper layer 402, as a laminating of an amorphous silicon and a silicon nitride etc., a lifting and a cone ingredient may be prepared for laser ablation in the lower layer, and TFT102 may be separated by applying laser light through the component formation substrate 401. As an ingredient which is easy to carry out laser ablation, a hydrogenation amorphous silicon, a polyamide with low insulator layer and rate of imide-izing containing gas, such as a silicon nitride which carried out low-temperature membrane formation, etc. are sufficient. As shown in drawing 9 as mentioned above, TFT102 can be imprinted to the middle imprint substrate 701. Next, the formation approach of wiring of the imprint place substrate 301 is explained using drawing 14 from drawing 10. As an ingredient of the imprint place substrate 301, glass substrates, such as alkali free glass and soda lime glass, or a plastic plate may be used. The glass substrate of alkali free glass is used with this operation gestalt.

[0013] First, as shown in drawing 10, pattern formation of the conductive paste is applied and carried out by screen-stencil on the imprint place substrate 301, and the scanning line 105 of about 1–5 micrometers of thickness is formed by annealing at about 450–600 degrees C. Line breadth is set to 30 micrometers. It is also possible to stick on others the film which has the conductivity and the photosensitivity of Make [ chemical / Mitsui and / DEYUPON poly ], such as Fodel, as the formation approach of the scanning line 105, to form by exposing a photo mask and forming a pattern, to form a thin film by vacuum evaporation or the spatter, and to etch by using a resist as a mask and performing exposure development. Next, as shown in drawing 11, the silicon oxide containing phosphorus is applied, and it calcinates at about 600 degrees C, and an interlayer insulation film 302 is formed by piling up two layers of this. Thus, add-in material can be

added and the interlayer insulation film 302 with few pinholes can be formed by carrying out a reflow at low temperature. An interlayer insulation film 302 may be formed by polyimide, acrylic resin, benz-cyclo-butene (BCB), etc. other than the inorganic film. On an interlayer insulation film 302, as shown in drawing 12, a signal line 104 is formed by the same ingredient as the scanning line 105, and the approach, and it considers as the line breadth of about 30 micrometers, and about 1-3 micrometers of thickness. Moreover, as shown in drawing 13, the flattening film 303 is formed. By applying about 2-20 micrometers of acrylic resin, and making it soften in annealing, the flattening film 303 set surface irregularity to about 0.5 micrometers or less. As flattening film 303, it is also still more effective to use BCB, when obtaining surface smoothness. Moreover, an inorganic insulator layer may be formed and ground.

[0014] Still like drawing 14, a photoresist is applied to an interlayer insulation film 302 and the flattening film 303, exposure development is carried out, a mask is produced, and the contact section 201 is formed on a signal line 104 and the scanning line 105 by etching. To the imprint place substrate 301 in which these wiring was formed, TFT on the middle imprint substrate 701 is imprinted. This imprint process is explained using drawing 18 from drawing 15. By drawing 18, it is omitting about the detailed part of TFT102 from drawing 15. The glue line 1501 for pasting up a component is first applied and formed by screen-stencil etc. on the flattening film 303 of the imprint place substrate 301 in which wiring was formed, like drawing 15. The glue line 1501 considered as acrylic resin, and set thickness to about 0.1-1 micrometer. On a glue line 1501, alignment of the middle imprint substrate 701 is carried out, and TFT102 and the glue line 1501 to imprint are pasted up. Then, the optical exposure of the upper part of TFT102 imprinted through the middle imprint substrate 701 is carried out alternatively, and the light absorption object 702 is heated. The adhesive strength of adhesion and stratum disjunctum 703 declines with heat, it dissociates from the middle imprint substrate 701, and TFT102 is pasted up on the imprint place substrate 301. The like and suitable protection-from-light mask 1502 with which light does not hit TFT102 which is not imprinted on the middle imprint substrate 701 as the optical exposure approach may be formed, and an optical exposure may be performed on the whole surface. Moreover, the heights used as a plinth may be prepared in the bottom of a glue line 1501.

[0015] Although the light absorption object 702 was used here, you may make it generate heat by applying an electrical potential difference instead of the light absorption object 702 using the thin film heating element which consists of the large metal of resistance, such as Ta. In this case, each thin film heating element makes TFT102 to carry out matrix control and imprint generate heat alternatively, and may be used. Moreover, the acrylic binder containing the matter with which it pastes up with heat and an adhesive property falls by ultraviolet rays, for example, the benzoferron which is easy to decompose by ultraviolet rays, etc. may be used instead of being the adhesion and the stratum disjunctum 703 to which an adhesive property falls with heat. In that case, ultraviolet rays may be irradiated alternatively at TFT102 to imprint, the mask pattern which prepared partial opening of the magnitude of TFT102 may be formed, and ultraviolet rays may be irradiated. The imprint of TFT102 is repeated like drawing 16, and TFT102 is pasted up on a position. Moreover, a heat process and the process which strengthens this adhesion more by UV irradiation etc. may be established. Next, as shown in drawing 17, a protective coat 601 is removed using resist exfoliation liquid. Even if it removes a protective coat 601 after it imprints TFT102 altogether, it may repeat removing at every one imprint. Then, after forming the film which consists of ITO all over imprint place substrate 301 by the spatter, the connection electrode 203 grade for connecting TFT102 with a signal line 104 like drawing 18 is formed by applying and carrying out patterning of the photoresist. The pixel electrode 103 is also formed in coincidence. The active-matrix substrate 101 used for a liquid crystal display as shown in drawing 1 by the above is completed.

[0016] With this operation gestalt, the component formation consistencies of TFT102 of the middle imprint substrate 701 and the imprint place substrate 301 differ. Thus, the imprint approach of TFT102 in case the component formation consistencies of an imprinting agency substrate and an imprint place substrate differ is further explained using drawing 23 from drawing 19. By drawing 23, details, such as a configuration of TFT102, are omitted from drawing 19. First, TFT102 is formed on the component formation substrate 401. Productivity becomes high and is desirable,

when TFT102 is formed by different consistency from the consistency of TFT102 on the imprint place substrate 301 in that case and the lengthwise direction of TFT102 and a longitudinal direction are formed by the consistency of the integral multiple of TFT102 consistency in the imprint place substrate 301. This operation gestalt explains the example in which the length of TFT102 and a longitudinal direction form TFT102 by the twice as many consistency in the imprint place substrate 301 as this. This TFT102 is imprinted to the middle imprint substrate 701 like drawing 19. Moreover, the imprint place substrate 301 forms a signal line 104 and scanning-line 105 grade. Next, by the 1st imprint, TFT102 is imprinted like drawing 20 by the field for four pieces of TFT102 on the imprint place substrate 301. Since TFT102 is formed in the substrate 301 4 times the consistency of an imprint place, as for the middle imprint substrate 701, TFT102 of one jump on the middle imprint substrate 701 is imprinted alternatively.

[0017] Like drawing 21, drawing 22, and drawing 23 after the 1st imprint, the middle imprint substrate 701 is shifted and it repeats imprinting one jump every. Since a pixel pitch is about 600 micrometers, if it forms each TFT102 in the component formation substrate 401 or less about 100micrometerx100micrometer, a longitudinal direction's is [ about 200 micrometers and a lengthwise direction / the magnitude of the component formation substrate 401 ] good, when this produces HDTV of 52 inches of vertical angles at 1/12 of the imprint place substrate 301. Moreover, in the component formation substrate 401, if an about [ 650mmx650mm ] thing is used, TFT102 for four sheets of 52 inches of vertical angles for HDTV will be obtained. Thus, the liquid crystal display was able to be obtained by preparing the suitable cel gap of 2 micrometers - about 6 micrometers, fixing combining the opposite glass substrate 2403 which formed the color filter 2401 and the counterelectrode 2402, and injecting the liquid crystal layer 2404 into the obtained active-matrix substrate 101 in between, as shown in drawing 24. Since this liquid crystal display imprints 16 TFT(s)102 to one jump and can imprint them by 4 times of alignment, its productivity is high. Since two or more TFT102 is imprinted to coincidence and all TFT(s)102 can be imprinted by the small count of an imprint, there is effectiveness, such as homogeneous reservation and improvement in the yield, with a productivity drive. Moreover, since the TFT102 formation on the component formation substrate 401 can use the existing production line, the reduction of investment cost of it is also attained. Furthermore, since wiring, the short-circuit between layers, etc. can be repaired if needed suitably, productivity is high. It can respond easily also about the defect of TFT102. For example, what is necessary is to measure the defect of TFT102 on the component formation substrate 401 by an array circuit tester etc., and just to imprint TFT of an excellent article into the part which was not imprinted behind, without imprinting poor TFT.

[0018] Moreover, dependability of TFT102 improves, without giving distortion to the lower layer film of TFT102, since it is prepared on each under coat layer 305 separated every TFT102. Strain relaxation not only suppresses changing a TFT component property, but effectiveness is in improvement in the adhesion dependability at the time of the imprint of poor peeling. Furthermore, with this operation gestalt, TFT which the thickness of gate dielectric film 307 called about hundreds of nm, and dimensional accuracy called about several micrometers is manufactured with a highly precise production line, pattern precision becomes possible [ combining with what formed loose wiring of a precision prescribe of about 30 micrometers in the large-sized substrate ], and the display of a big screen becomes realizable by low cost. In addition, as a unit of the component to imprint, not only one TFT102 but the thing to consider as the circuit which consists of two or more transistors is possible. The transistor for selection and the transistor for a drive controlled by the output can be formed by imprint, and it can also apply also as a driving gear of liquid crystal or EL. Next, the 2nd operation gestalt of this invention is explained. With this operation gestalt, it is not component independent and one active-matrix substrate 101 is formed by, forming the configuration of wiring, a pixel electrode, etc. on the whole, and carrying out two or more rotation copy. The formation approach of the active-matrix substrate 101 of this operation gestalt is shown using drawing 30 from drawing 25. In drawing 30, the configuration of TFT102 etc. is omitted from drawing 25.

[0019] As shown in drawing 25, on the component formation substrates 401, such as glass, the laminating of the etching stopper layer 402 and the under coat layer 305 is carried out, and TFT102, a signal line 104, the scanning line 105, and pixel electrode 103 grade are formed. In this



operation gestalt, each class is formed like the 1st operation gestalt. Next, a protective coat 601 is formed so that a component and the component field 2501 in which wiring was formed may be covered altogether, and the etching stopper layer 402 and the under coat layer 305 are etched into the same magnitude as a protective coat 601. By processing according [ a protective coat 601 ] to exposure development, the precision of an about 1-20-micrometer edge was acquired. Next, the protective coat 601 of the component formation substrate 401 is pasted up on the middle imprint substrate 701 with which the same adhesion and stratum disjunctum 703 as the 1st operation gestalt were formed as shown in drawing 26 . Then, etching removal of the component formation substrate 401 is carried out like drawing 27 . Alignment of the component formation field 2501 is carried out to the imprint place substrate 301 which formed the glue line 1501 like drawing 28 , adhesion and stratum disjunctum 703 are heated through the middle imprint substrate 701, and adhesive strength is weakened and imprinted. Like drawing 29 , after the 1st imprint, resist exfoliation liquid may be used, a protective coat 601 may be removed, the 2nd imprint finishes, and after imprinting all components, wiring, etc., you may remove. Thus, a active-matrix substrate 101 like drawing 30 is completed.

[0020] In order to imprint two things in which a component, wiring, etc. were formed, like this operation gestalt and to form one big active-matrix substrate 101, a bordering junction precision poses a problem. Drawing 31 is drawing which formed the imprint place substrate 301 based on two component formation substrates 401 in which a component and wiring were formed, and drawing 32 is the sectional view of b-b' of drawing 31 . The configuration of TFT102 etc. is omitted in drawing 31 and drawing 32 . When the imprint place substrate 301 is formed from a component formation substrate 401 like drawing 31 with this operation gestalt, as shown in drawing 32 , the signal line 104 in the same component formation substrate 401, the spacing Lg1 of the pixel electrode 103, and the signal line 104 of the comparison section of the component formation substrate 401 and the spacing Lg2 of the pixel electrode 103 are both equally made with about 8-15 micrometers. This is applicable also to a highly minute pixel like HDTV, is a big screen and can obtain the bright display with a high pixel numerical aperture. With this structure, like the active-matrix substrate formed from one substrate like before, since arrangement of a pixel or a signal line can be performed, good image quality is acquired, without the pixel voltage variation by coupling occurring in the comparison section of the active-matrix substrate 101. Moreover, although drawing 33 is the same as that of drawing 31 , it compares in order to extend the margin of the comparison section of the component formation substrate 401, and is considering as the axial symmetry centering on the section. Drawing 34 is the sectional view of c-c' of drawing 33 . The configuration of TFT102 etc. is omitted in drawing 33 and drawing 34 . In this case, production becomes that what is necessary is to just be referred to as about 2= 40 micrometers of  $Lp1=Lp(s)$  if spacing between the pixel electrodes 103 of spacing between the pixel electrodes 103 in the component formation substrate 401,  $Lp1$ , and the comparison section of the component formation substrate 401 and  $Lp2$  set width of face of a signal line 104 to about 5 micrometers that what is necessary is just equally easy about spacing between about 30 micrometers, the pixel electrode 103, and a signal line 104.

[0021] In addition, in order that there may be no wiring in the comparison section of the active-matrix substrate 101, capacity coupling between wiring and the pixel electrode 103 differs from usual. Therefore, what is necessary is just to compensate a signal if needed. In case the large-sized active-matrix substrate 101 is produced with this operation gestalt, in order that there may be no need of joining two substrates, the height of the field where thickness becomes large in the comparison section of two substrates and which formed a component and wiring with the substrate which are differs, and the problem of contacting an opposite substrate is avoided. Moreover, although the glass substrate was used as an imprint place substrate 301 with this operation gestalt, a plastic plate, a resin film, a ceramic substrate, a metallic-thin-plate substrate, etc. can also be used. It was difficult to produce a high definition pixel from the magnitude of heat deformation or coefficient of thermal expansion to a precision with a plastic plate or a resin film conventionally. However, by the method of this invention, in order that precision of the component formation substrate 401 may be made with the same thing as the precision of the conventional glass substrate and may just imprint it, it becomes possible [ forming a highly minute image called

200ppi in a plastic plate, a resin film, etc. ].

[0022]

[Effect of the Invention] According to this invention, a active-matrix substrate highly precise at low cost is producible as mentioned above also to a large-sized substrate and the substrate using the ingredient with which it differs other than glass.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The top view of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 2] The enlarged drawing of the TFT part of drawing 1 .

[Drawing 3] The sectional view between a-a' of drawing 2 .

[Drawing 4] The enlarged drawing of the TFT part on a component formation substrate.

[Drawing 5] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 6] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 7] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 8] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 9] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 10] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 11] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 12] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 13] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 14] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 15] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 16] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 17] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 18] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 19] Drawing showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 20] Drawing showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 21] Drawing showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 22] Drawing showing one process of the manufacture approach of the active-matrix

substrate of the 1st operation gestalt of this invention.

[Drawing 23] Drawing showing one process of the manufacture approach of the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 24] The sectional view of the liquid crystal display using the active-matrix substrate of the 1st operation gestalt of this invention.

[Drawing 25] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 26] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 27] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 28] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 29] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 30] The sectional view showing one process of the manufacture approach of the active-matrix substrate of the 2nd operation gestalt of this invention.

[Drawing 31] The top view in the case of forming a active-matrix substrate from two component formation substrates.

[Drawing 32] The sectional view between b-b' of drawing 31 .

[Drawing 33] The top view in the case of forming a active-matrix substrate from two component formation substrates.

[Drawing 34] The sectional view between c-c' of drawing 33 .

[Drawing 35] The sectional view of the picture element part of the conventional active-matrix mold LCD.

#### [Description of Notations]

- 101 -- Active-matrix substrate
- 102 -- TFT
- 103 -- Pixel electrode
- 104 -- Signal line
- 105 -- Scanning line
- 201 -- Contact section
- 202 203 -- Connection electrode
- 301 -- Imprint place substrate
- 302 -- Interlayer insulation film
- 303 -- Flattening film
- 304 -- Glue line
- 305 -- Under coat layer
- 306 -- Gate electrode
- 307 -- Gate dielectric film
- 308 -- Semi-conductor layer
- 309 -- Channel protection insulator layer
- 310 -- N-type-semiconductor layer
- 311 -- Source electrode
- 312 -- Drain electrode
- 313 -- Passivation film
- 314 -- Contact hole
- 401 -- Component formation substrate
- 402 -- Etching stopper layer
- 601 -- Protective coat
- 701 -- Middle imprint substrate
- 702 -- Light absorption object
- 703 -- Adhesion and stratum disjunctum
- 1501 -- Glue line

1502 -- Protection-from-light mask  
2401 -- Color filter  
2402 -- Counterelectrode  
2403 -- Opposite glass substrate  
2404 -- Liquid crystal  
2501 -- Component formation field  
3501 -- Glass substrate  
3502 -- Scanning line  
3503 -- Auxiliary capacity line  
3504 -- Gate dielectric film  
3505 -- Pixel electrode  
3506 -- The TFT section  
3507 -- Semi-conductor layer  
3508 -- Channel protection insulator layer  
3509 -- Doped semi-conductor layer  
3510 -- Source electrode  
3511 -- Drain electrode  
3512 -- Protection insulator layer

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CORRECTION OR AMENDMENT

---

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Section partition] The 2nd partition of the 7th section

[Publication date] August 30, Heisei 14 (2002. 8.30)

[Publication No.] JP,2001-7340,A (P2001-7340A)

[Date of Publication] January 12, Heisei 13 (2001. 1.12)

[Annual volume number] Open patent official report 13-74

[Application number] Japanese Patent Application No. 11-179214

[The 7th edition of International Patent Classification]

H01L 29/786

21/336

G02F 1/1343

1/1365

[FI]

H01L 29/78 627 D

G02F 1/1343

1/136 500

[Procedure revision]

[Filing Date] June 10, Heisei 14 (2002. 6.10)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] The name of invention

[Method of Amendment] Modification

[Proposed Amendment]

[Title of the Invention] A active-matrix substrate and its manufacture approach, a middle imprint substrate

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] The process which forms a component on a component formation substrate,

The process which forms wiring on an imprint place substrate,

The process which pastes up said component formed on said component formation substrate on a middle imprint substrate,

The process which removes said component formation substrate after pasting up said component

on said middle imprint substrate,

The process which imprints alternatively said component pasted up on said middle imprint substrate on the glue line prepared on said imprint place substrate so that height might differ from said imprint place substrate side in which said wiring was formed after removing said component formation substrate,

The process which connects said component imprinted on said imprint place substrate and said wiring

The manufacture approach of the active-matrix substrate characterized by providing.

[Claim 2] The manufacture approach of the active-matrix substrate according to claim 1 characterized by preparing said glue line on the heights prepared on said imprint place substrate.

[Claim 3] The manufacture approach of the active-matrix substrate according to claim 1 characterized by spacing of said component formed on said component formation substrate differing from spacing of said component imprinted on said imprint place substrate.

[Claim 4] It is the manufacture approach of the active-matrix substrate according to claim 1 which is equipped with the following and characterized by covering said component with said under coat layer and said protective coat. The process at which the process which forms said component forms an etching stopper layer on said component formation substrate The process which forms the under coat layer which consists of silicon oxide or a silicon nitride on said etching stopper layer The process which forms said component on said under coat layer The process which forms a protective coat on said component

[Claim 5] The process which forms a component on a component formation substrate,

The process which forms wiring on an imprint place substrate,

The process which forms adhesion and stratum disjunctum on a middle imprint substrate,

The process which pastes up said component on said adhesion and stratum disjunctum,

The process which removes said component formation substrate after pasting up said component on said adhesion and stratum disjunctum,

The process alternatively pasted up on the glue line in which said component pasted up on said adhesion and stratum disjunctum was prepared on said imprint place substrate after removing said component formation substrate,

The process which irradiates light at said adhesion and stratum disjunctum of the field corresponding to said component alternatively pasted up on said glue line, and exfoliates said middle imprint substrate

The manufacture approach of the active-matrix substrate characterized by providing.

[Claim 6] The manufacture approach of the active-matrix substrate according to claim 5 characterized by irradiating light at said light absorption object in the process which possesses further the process which forms a light absorption object in the location corresponding to said each component between said middle imprint substrate, and said adhesion and stratum disjunctum, and irradiates light at said adhesion and stratum disjunctum.

[Claim 7] The active-matrix substrate characterized by providing a substrate, the glue line which is separated for every component and prepared on said substrate, the etching stopper layer prepared on said glue line, the under coat layer which is prepared on said etching stopper layer and consists of silicon oxide or a silicon nitride, and said component prepared on said under coat layer.

[Claim 8] The middle imprint substrate characterized by being prepared in height equal on a substrate, the adhesion and the stratum disjunctum which exfoliate by being prepared on said substrate and applying heat, and said adhesion and stratum disjunctum, and providing an independent component respectively electrically.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0001

[Method of Amendment] Modification

[Proposed Amendment]

[0001]

[Field of the Invention] This invention relates to a active-matrix substrate and its manufacture

approach, and a middle imprint substrate.

---

[Translation done.]